

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-23297

(43) 公開日 平成7年(1995)1月24日

(51) Int.Cl.<sup>4</sup>  
H 0 4 N 5/335

識別記号 庁内整理番号  
P

F I

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平5-159483

(22) 出願日 平成5年(1993)6月29日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 佐藤 泰史

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 小松 理江子

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

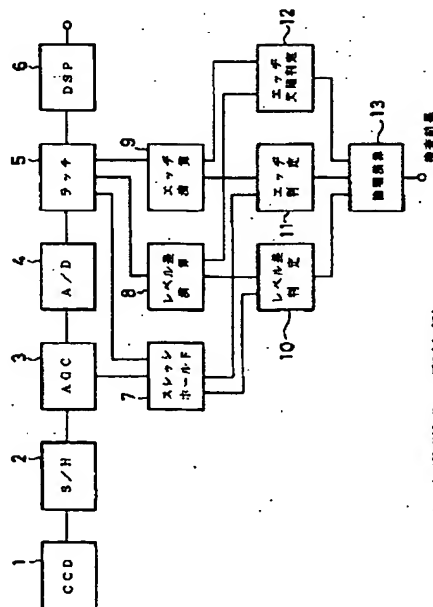
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 固体撮像素子の欠陥検出装置

(57) 【要約】

【目的】 カメラ撮像動作中に固体撮像素子の欠陥を検出し補正する装置を提供すること。

【構成】 固体撮像素子1から供給される画素信号をラッチ(5)して検査画素を中心に周辺画素を並べ、検査画素と隣接画素の差をとって欠陥画素の可能性を調べる(8, 10)と共に、画像のエッジを判定し(9, 11)、画像のエッジと欠陥の可能性のある画素が重なっているときにそれを欠陥とするか否かを判定する(12)ようにする。



## 【特許請求の範囲】

【請求項1】 固体撮像素子から供給される画素信号をAGC増巾器を含む信号処理回路を経て送出する映像信号回路において、前記画素信号中に含まれる欠陥画素信号を撮像中に検出する装置であって、

検査画素信号とその隣接画素信号との信号レベル差を調べるレベル判定回路と、

検査画素信号の周囲に画像のエッジが存在しないかどうかを調べるエッジ判定回路と、

検査画素信号が画像エッジにかかっている場合にその画素が欠陥画素であるか否かを判定するエッジ欠陥判定回路と、

前記レベル差判定回路、エッジ判定回路及びエッジ欠陥判定回路の出力に基いて欠陥検出を行なう論理演算回路とを具備することを特徴とする画素信号の欠陥検出装置。

【請求項2】 請求項1記載の欠陥検出装置において、前記レベル差判定回路は所定のスレッシュホールドレベル以上のレベル差を検出する検出回路であり、このスレッシュホールドレベルが検査画素の信号レベルに応じて可変するようになされたことを特徴とする画素信号の欠陥検出装置。

【請求項3】 請求項2記載の欠陥検出装置において、前記スレッシュホールドレベルは検査画素の信号レベルが小さいときは予め設定した固定値に切り換えられるようにしたことを特徴とする画素信号の欠陥検出装置。

【請求項4】 請求項3記載の欠陥検出装置において、前記固定値は固体撮像素子の出力信号のレベル調整を行なうAGCアンプのゲインに応じて変えられるようにしたことを特徴とする画素信号の欠陥検出装置。

【請求項5】 請求項1～4のいずれか1つに記載の欠陥検出装置において、前記エッジ判定回路は所定のスレッシュホールドレベル以上の周辺画素信号の振幅変化を検出する検出回路で成り、このスレッシュホールドレベルが検査画素信号のレベルに応じて変えられるようにしたことを特徴とする画素信号の欠陥検出装置。

【請求項6】 請求項5に記載の欠陥検出装置において、検査画素の信号レベルが小さいときは予め設定した固定値に切り換えられるようにしたことを特徴とする画素信号の欠陥検出装置。

【請求項7】 請求項6に記載の欠陥検出装置において、前記固定値は固体撮像素子の出力信号のレベル調整を行なうAGCアンプのゲインに応じて可変としたことを特徴とする画素信号の欠陥検出装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、CCDイメージセンサ等の固体撮像素子に発生する点欠陥を撮像中に検出して補正することが可能な点欠陥の検出装置に関する。

## 【0002】

【従来の技術】 従来欠陥検出補正方法として次のような方法が知られている。

【0003】 1. 工場出荷時に画像欠陥の位置情報を測定し、カメラ内に設けられたROM（読み出し専用メモリ）等にその情報を記憶しておき撮像中、欠陥画素信号をその前後の画素信号で置き換えることによって補正する。

【0004】 2. カメラを使用する前に絞りを閉じることによって欠陥を検出し、この位置をRAM（随時書き込み読み出しメモリ）等に記憶しておき、撮像中には、上記欠陥画素を補正して出力する。

## 【0005】

【発明が解決しようとする課題】 ところが、上記1の方法によって欠陥補正を行なう場合は、ROMを使うのでコストアップになる。

【0006】 また、上記2の方法によって欠陥補正を行なう場合は、欠陥検出のためにカメラ使用前に絞りを閉じる等の操作が必要になり複雑な制御システムを必要とする。

【0007】 本発明は、従来技術の上述の欠点を克服し、カメラ撮像動作中に欠陥を検出し補正することができる欠陥検出補正装置を提供することを目的とする。

【0008】 以下の説明においては主として欠陥検出装置として説明するが、その検出結果を使って補正を行なう装置の構成は当業者にとって明らかなことである。

## 【0009】

【課題を解決するための手段】 本発明によれば、固定撮像素子から供給される画素信号をAGC増巾器を含む信号処理回路を経て送出する映像信号回路において、前記画素信号中に含まれる欠陥画素信号を撮像中に検出する装置であって、検査画素信号とその隣接画素信号との信号レベル差を調べるレベル差測定回路と、検査画素信号の周囲に画像のエッジが存在しないかどうかを調べるエッジ測定回路と、検査画素信号が画像エッジにかかっている場合にその画素が欠陥画素であるか否かを判定するエッジ欠陥測定回路と、前記レベル差判定回路、エッジ判定回路、及びエッジ欠陥判定回路の出力に基いて欠陥検出を行なう論理演算回路とを具備することを特徴とする画素信号の欠陥検出装置を提供するものであって、一例として前記レベル差判定回路は所定のスレッシュホールドレベル以上のレベル差を検出する検出回路であり、このスレッシュホールドレベルが検査画素の信号レベルに応じて可変するようにする。

【0010】 また、前記スレッシュホールドレベルは検査画素の信号レベルが小さいときは予め設定した固定値に切り換えられるようにする。

【0011】 さらに、前記固定値は固体撮像素子の出力信号のレベル調整を行なうAGCアンプのゲインに応じて変えられるようにする。

【0012】 また、前記エッジ判定回路は所定のスレ

シホールドレベル以上の周辺画素信号の振巾変化を検出する検出回路で成り、このスレッシホールドレベルが検査画素信号のレベルに応じて変えられるようにする。

【0013】検査画素の信号レベルが小さいときは、上記スレッシホールドレベルは予め設定した固定値に切り換えられるようにする。

【0014】前記固定値は固体撮像素子の出力信号のレベル調整を行なうAGCアンプのゲインに応じて可変とする。

【0015】

【作用】本発明の画素信号欠陥検出装置は、レベル差判定回路、エッジ判定回路及びエッジ欠陥判定回路の3つの回路の出力に基いて論理演算回路で欠陥検出を行なっているため、カメラ撮像動作中に画素欠陥検出を行なっても撮像された映像情報に含まれるエッジ情報やランダムノイズを見誤ることなく精度良く欠陥検出ができる。

【0016】

【実施例】図1を参照して本発明の一実施例の説明をする。

【0017】図1において、1はCCDイメージセンサ等の固体撮像素子、2はサンプリングホールド回路、3はAGC回路、4はAD変換器、5はラッチ回路、6はデジタル信号処理回路である。

【0018】これらは、固体撮像素子1で撮像したアナログ画像信号をデジタル信号に変換し、信号処理して出力する回路である。

【0019】7はスレッシホールド（閾値）を設定するスレッシホールド設定回路、8は画素信号のレベル差を演算するレベル差演算回路、9は画像のエッジを検出するためのエッジ検出回路、10はレベル差判定回路、11はエッジ判定回路、12はエッジ欠陥判定回路、13は論理演算回路であり、これらは欠陥画像信号を検出するための回路である。

【0020】図1の固定撮像素子1は、図11に示するような画素配列となっている。図11においてC3が検査画素であるとして以下の説明を行なうこととする。

【0021】図1の固体撮像素子1からの出力はサンプリングホールド回路2、AGC回路3、AD変換器4を通して直列に伝送され、ラッチ回路5に入力する。

【0022】このラッチ回路5は図2に詳細に記載してある。AD変換器4から送られて来る入力画像信号は、1画素分の遅延を与えるラッチ素子DによりB1～B5に示すように各画素信号をラッチする。

【0023】また、上記入力画像信号は第1の1H（1水平期間）遅延線203で1水平期間遅延されて次の行のラッチ素子Dに与えられ、これによりC1～C5に示すような画素信号としてラッチされる。

【0024】上記第1の1H遅延線203の出力はさらに第2の遅延線204に供給され、そこで1水平期間遅延された信号が第3行のラッチ素子Dの直列配列に印加

される。その結果、同図にD1～D5で示したとおりの画素信号がラッチされる。

【0025】図から明らかなとおり、ラッチ回路にラッチされた画素信号B1～B5、C1～C5、D1～D5は、図11に図示した撮像素子上の2～4行目の画素配列と対応している。

【0026】即ち、このラッチ回路5は、固体撮像素子1から直列信号として伝送されてくる信号を並列にならべて隣接画素の比較をしやすくするものである。

10 【0027】図4は、レベル差演算回路8を詳細に記したものである。入力端子401には図2のラッチ回路から与えられる検査画素信号C3が入力されている。この画素信号は先に述べたとおり撮像素子上の画素配列における画素C3に対応するものであり、検査しようとする画素信号である。

【0028】図4の回路の入力端子402には画素信号B3、404には画素信号D3が印加されており、これらは図11から明らかなとおり、縦方向に見たC3と隣接の画素信号である。

20 【0029】また入力端子403と405には画素信号C2とC4が印加されており、これらは横方向に見たC3と隣接の画素信号である。

【0030】減算器406～409は検査をする画素信号C3と隣接画素信号との差を計算する回路であって、それぞれ出力端子410～413に隣接画素信号との差信号C3-D3、C3-C2、C3-D3及びC3-C4を出力する。

30 【0031】図7は、レベル判定回路10を詳しく記したもので図4を参照して前述したレベル差演算回路8から供給される隣接画素信号との差信号C3-B3、C3-C2、C3-D3、C3-C4が入力端子702～705に印加されている。

【0032】これらの差信号は比較器706～709において、夫々後述する或る閾値 $th1'$ と比較される。差信号が閾値を超えていればその比較器の出力が論理“1”になり、全比較器の出力が“1”の時、アンド回路710の出力は“1”となって、検査した画素信号が隣接画素信号に比べて孤立して大きいことを示す。

40 【0033】閾値信号 $th1'$ については後ほど詳しく説明することにして、次に、図5を参照してエッジ演算回路9について更に詳しい説明をする。

【0034】この回路の入力端子501～508には、図2のラッチ回路5からの出力B2、B4、C1、C2、C4、C5及びD4が印加されている。

【0035】差動増巾器509～512は、検査画素C3の1つ前の画素C2について、それと隣接する画素の信号の様子を調べるもので、差動増巾器509は上隣の画素信号B2との差を出力端子516に与え、差動増巾器511は前隣の画素信号C1との差を出力端子517に与え、差動増巾器512は下隣の画素信号D2と

の差を出力端子518に与える。

【0036】差動増巾器513～515は、検査画素C3の1つ後の画素C4について、それと隣接する画素の信号の様子を調べるもので、差動増巾器513はC4の上隣りの画素信号B4との差を出力端子519に出力し、差動増巾器514は右隣り(1つ後)の画素信号C5との差を出力端子520に出力し、差動増巾器515は下隣りD4との差信号を出力端子521に出力する。

【0037】以上の説明から明らかなとおり、エッジ演算回路9の出力は検査画素信号の前後の画素信号が増大傾向にあるか否かを表わす信号である。

【0038】図6はエッジ判定回路11を詳細に記した回路図である。入力端子602～607には図5のエッジ演算回路9の出力端子516～521からの出力信号が印加されている。

【0039】また入力端子601にはスレッシュホールド設定回路7からの閾値信号 $th2'$ が印加されている。比較器608～613は入力端子602～607に入力する信号と入力端子601に入力する閾値信号 $th2'$ とを比較して入力端子602～607に印加された信号が閾値以上であればそれぞれ出力論理“1”を出力する。

【0040】比較器608～613の出力はNOR(ノア)回路614の入力に印加されている。このNOR回路614は、比較器608～613の出力が全部論理“0”の時出力615に論理“1”を出力するものである。

【0041】換言すると、検査画素信号C3の周辺の画素信号間に所定の閾値 $th2'$ を超える振巾差のないことを示す信号を出力するものである。

【0042】図8はエッジ欠陥判定回路12を詳細に記したものである。入力端子801、803、806及び809には図4のレベル差演算回路8からの出力が印加されており、入力端子802、804、805、807、808及び810には図5のエッジ演算回路9からの出力が印加されている。

【0043】同図において、811～814はK倍( $K = th3$ :第3の閾値)の係数器であり、815～820は比較器である。比較器815は、検査画素信号C3とその1つ前の画素信号C2との差( $C3 - C2$ )をK倍したものと、1つ前の画素信号C2と2つ前の画素信号C1との差( $C2 - C1$ )とを比較し、前者が大きければ出力に論理“1”を出力する。

【0044】従って比較器815は検査画素信号の前方の画素信号の増大傾向に対して検査画素信号の振巾が急増していることを検出する働きをする。

【0045】同様にして、比較器816は検査画素信号の後方の画素信号が検査画素信号の方向に増大する率に比べて検査画素の点での信号が著しく増大していることを検出する働きをする。

【0046】入力端子806には検査画素信号とその1つ上の画素信号との差信号が印加されており、入力端子805には1画素前とその上の画素の信号の差信号( $C2 - B2$ )が入力されており、入力端子807には1画素後とその上の画素の信号の差信号( $C4 - B4$ )が印加されている。

【0047】従って、比較器817は検査画素の前上方の画素信号の検査画素方向の増大率よりも検査画素点での信号の増大率が著しく大きいことを表わす出力を出し、比較器818は検査画素の後上方の画素信号の検査画素方向への増大率よりも検査画素点での信号の増大率が著しく大きいことを検出する出力を出す。

【0048】同様にして、入力端子809には検査画素C3の下方画素に対する差信号(増分)が印加されており、入力端子808、810には、それぞれ前下方、後下方にある周辺画素信号の検査画素方向への増大傾向を示す信号が印加されているので比較器819、820は検査画素信号の振巾増大率がその下方の周辺画素信号の検査画素方向に向けての増大率よりも著しく大きいことを表わす信号が出力される。

【0049】アンド回路821は前述の比較器815～820の出力が全部論理“1”のとき、出力“1”を出す。即ち、このエッジ欠陥判定回路は、周囲の画素間の変化に比べて検査画素信号が突出しているか否かを検出するものである。

【0050】図9は図1の論理演算回路13と詳述したものである。図において、904と905はアンド回路、906はオア回路である。従って、入力端子902に印加されるレベル判定信号と入力端子901に印加されるエッジ判定信号がともに論理“1”のとき検出出力“1”を出力する。

【0051】即ち、レベル判定の結果が隣接画素信号に比べて大きいこと(欠陥らしいこと)を示し、かつエッジ判定の結果が周辺画素信号の増大傾向なし(画像のエッジにかかっていない)で孤立しているとき、その画素信号を欠陥として検出する。

【0052】また、入力端子902に印加されるレベル判定信号と入力端子903に印加されるエッジ欠陥判定信号がともに論理“1”のときも出力端子907に検出出力を出す。

【0053】これは、検査画素信号C3が周辺画素信号の増大(画像のエッジ)に比べて著しく増大していれば欠陥信号として検出しようとする考えに基いている。

【0054】逆に、検査画素信号C3が周辺の画素信号に比べて特に際立って増大していなければ、これを欠陥画素信号としては扱わない。

【0055】次に図1のスレッシュホールド設定回路7について、図3を参照して詳述する。入力端子302には図1のAGC回路からのゲイン設定情報信号が印加されており、制御用マイコン303はこの印加信号に基いて

スレッシュホールドレベル（閾値） $th1$ 、 $th2$ を設定する。

【0056】他方、入力端子301には図1、図3に示したラッチ回路5からの画素信号C3が印加される。

【0057】ROM304は入力に印加された検査画素信号C3の平方根を算出するために設けられた読み出し専用メモリであり、ここからの出力は係数器305で $\alpha$ 倍されて切り換えスイッチ309の接点aに送出される。

【0058】また、入力画素信号C3は係数器306で $\beta$ 倍されて切り換えスイッチ310の接点aに送出される。

【0059】切り換えスイッチ309は係数器305の出力信号と制御用マイコンからの出力信号 $th1$ を切り換えて出力するスイッチであって、比較器307でそれら2つの出力信号を比較して大きい方の値を出力 $th1'$ として出力するように切り換えスイッチ309を制御する。

【0060】切り換えスイッチ310は係数器306の出力信号と制御マイコンからの出力信号 $th2$ とを切り換えて出力するスイッチであって、比較器308でそれら2つの出力信号を比較して大きい方の値を出力 $th2'$ として出力するように切り換えスイッチ310を制御する。

【0061】出力端子311に現われる閾値信号 $th1'$ は前述のとおりレベル差判定回路で用いられ、出力端子312に現われる閾値信号 $th2'$ はエッジ判定回路で用いられる。

【0062】これらの信号は主に暗信号時のランダムノイズ等による誤判定を避けるために設定するものであるが、固体撮像素子を用いたビデオカメラ等では信号処理回路にAGC増巾器が設けられているため、画像の平均輝度レベルによってAGC増巾器のゲインが変わり、ランダムノイズが変化する。

【0063】従って、AGC増巾器のゲインに応じてスレッシュホールドレベルを変えることが必要である。例えば、暗い被写体を撮像しているときはAGC増巾器のゲインがあがるのでスレッシュホールドレベルも大きな値に変更する必要がある。

【0064】スレッシュホールドレベル $th1'$ の変化の様子は図12に示すとおりである。入力信号レベルが大きいときは検査画素信号C3に基いて決められる値でC3の増大とともに増大するが、入力信号レベルが小さいときはマイコンで発生した所定の値 $th1$ とする。2つの値の切り換えはスイッチ309で行われる。

【0065】以上、本発明の欠陥検出補正装置の1例の回路構成について詳細に説明してきたが、次に図10のフローチャートを参照して本実施例の欠陥検出補正装置の動作の説明をする。

【0066】ステップS1の検査開始に続いて、ステッ

プS2に進み図1のレベル差判定回路10はレベル差判定を行なう。この判定は、検査画素C3が周囲の画素に比べて閾値 $th1'$ 以上にレベルが大きくなっていないかどうかを検査する過程であって、図1のレベル差演算回路8から供給されるレベル差信号について、 $C3-C2 > th1'$ 、 $C3-C4 > th1'$ 、 $C3-B3 > th1'$ 、 $C3-D3 > th1'$ の全条件を満たすとき、レベル差判定結果をYes（欠陥らしい）と判定する。

【0067】上記検査項目は水平と垂直の検査を行った場合であり、更に詳しい検査が必要な場合は、斜め方向の検査 $C3-B2 > th1'$ 、 $C3-B4 > th1'$ 、 $C3-D2 > th1'$ 、 $C3-D4 > th1'$ をこれに加える。

【0068】この判定結果がNoならばステップS5に進み欠陥ではないと判断する。もし、判定結果がYesならばステップS3に進み、エッジ判定を行なう。

【0069】この判定は、レベル差判定の結果が欠陥に起因するものか画像エッジに起因するものかを調べるためのものである。

【0070】エッジ判定についても、ランダムノイズ等により間違った判定をしないようレベルに判定スレッシュホールド $th2'$ を設定する。

【0071】エッジ信号量は検査画素の信号レベルに比例して変化する性質を持っているので、図3を参照して前述したとおり、閾値 $th2$ と $\beta \times C3$ を比較して大きい方を新たなスレッシュホールドレベル（閾値） $th2'$ とする。

【0072】エッジ判定は、検査画素C3の周囲の画素間でレベル比較を行ない、 $th2'$ 以上のレベル差がないかどうかを検査することによって行われる。

【0073】エッジ判定の結果がNoならばステップS6に進み欠陥であると判断する。もし、エッジ判定の結果がYesならば次のステップS4に進んで、エッジ欠陥判定を行なう。

【0074】エッジ欠陥判定は検査画素C3と近傍の画素のレベル差 $\Delta Dif$ と検査画素近傍の画素間のレベル差 $\Delta Edge$ の比が設定レベル $K = th3$ 以上であればエッジに存在する欠陥と判断するものである。

【0075】例えば検査画素の左側の水平エッジに存在するエッジ欠陥の場合は、 $\Delta Dif = C3 - C2$ 、 $\Delta Edge = C2 - C1$ であり $\Delta Dif / \Delta Edge > th3$ を検査する。この様子は前述の図8における最上部（入力端子801、802の部分の回路）に示してある。

【0076】エッジ欠陥判定の結果がYesならば欠陥があると判断し、Noならば欠陥がないと判断する。

【0077】以上、本発明について実施例の説明をしてきたが、本願発明は、上記実施例で説明した細部に限定されるものではなく、本発明の技術思想を逸脱しない範囲で種々の変形があることは勿論である。

【0078】

【発明の効果】本発明の欠陥検出補正装置の構成によれば、カメラ撮像動作中に欠陥を検出することができ、その際、撮像された映像情報に含まれるエッジ情報やランダムノイズを見誤ることなく精度良く欠陥を検出することができる。

【図面の簡単な説明】

【図1】本発明の欠陥検出装置の一実施例を示すブロック図である。

【図2】ラッチ回路の回路図である。

【図3】スレッシュホールド設定回路の回路図である。

【図4】レベル差演算回路の回路図である。

【図5】エッジ演算回路の回路図である。

【図6】エッジ判定回路の回路図である。

【図7】レベル判定回路の回路図である。

【図8】エッジ欠陥判定回路の回路図である。

【図9】論理演算回路の回路図である。

【図10】欠陥検出のメインアルゴリズムを示すフローチャートである。

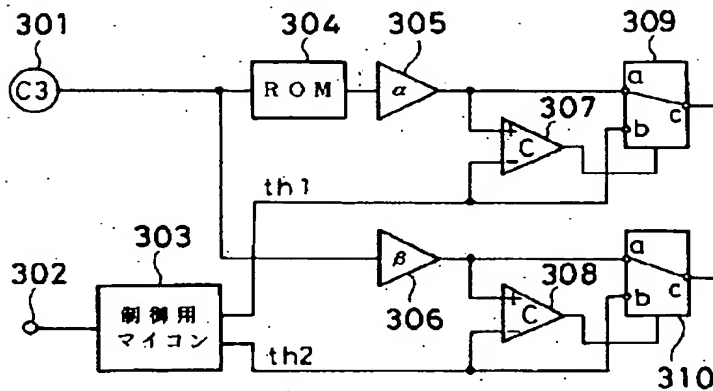
【図11】固体撮像素子の画素配列図である。

【図12】スレッシュホールド設定回路の出力特性図である。

【符号の説明】

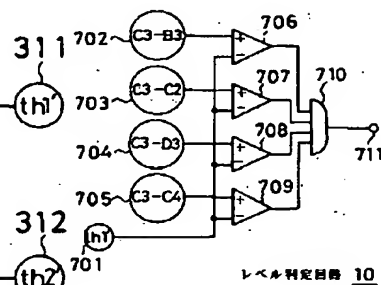
- 1 固体撮像素子
- 3 AGC増巾器
- 5 画素信号ラッチ回路
- 10 7 スレッシュホールド設定回路
- 8 レベル差演算回路
- 9 エッジ演算回路
- 10 レベル差判定回路
- 11 エッジ判定回路
- 12 エッジ欠陥判定回路
- 13 論理演算回路

【図3】



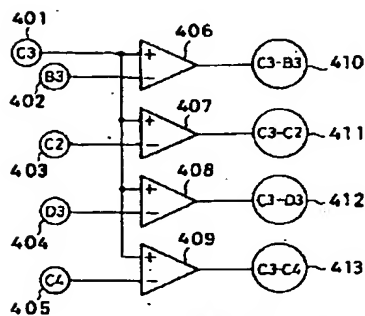
スレッシュホールド設定回路 7

【図7】



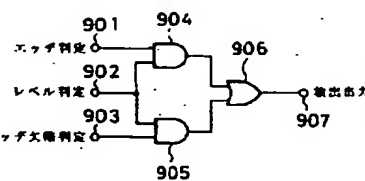
レベル判定回路 10

【図4】



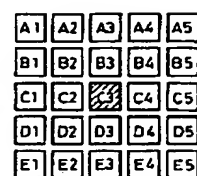
レベル差演算回路 8

【図9】



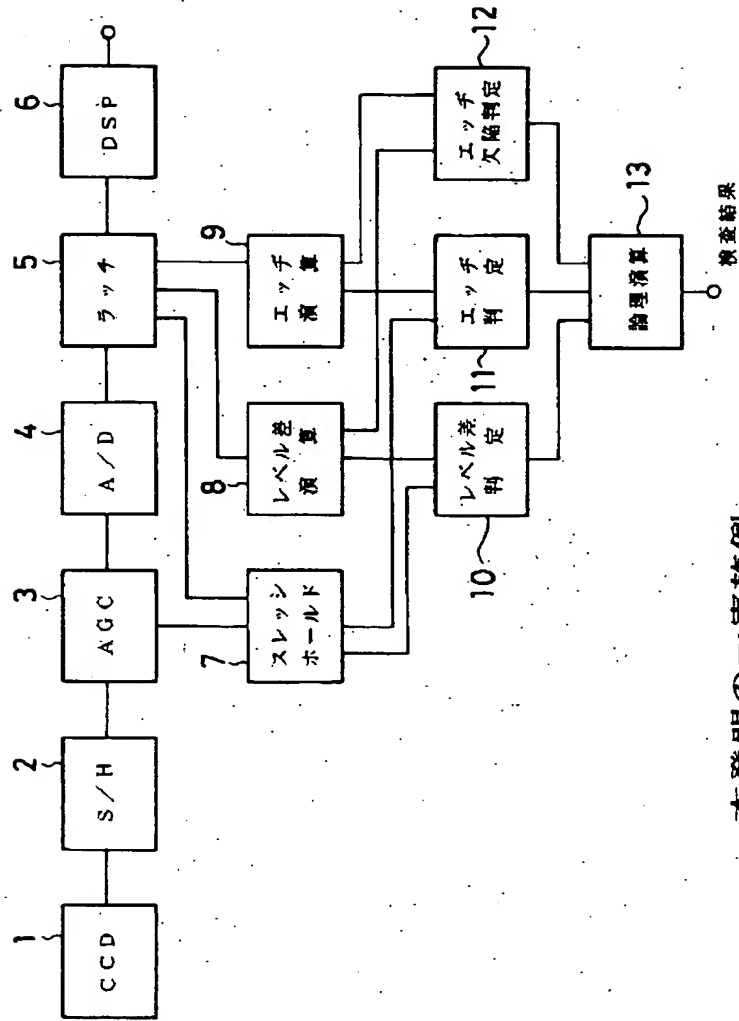
論理演算回路 13

【図11】

検査画素と周辺画素  
(C3が検査画素)

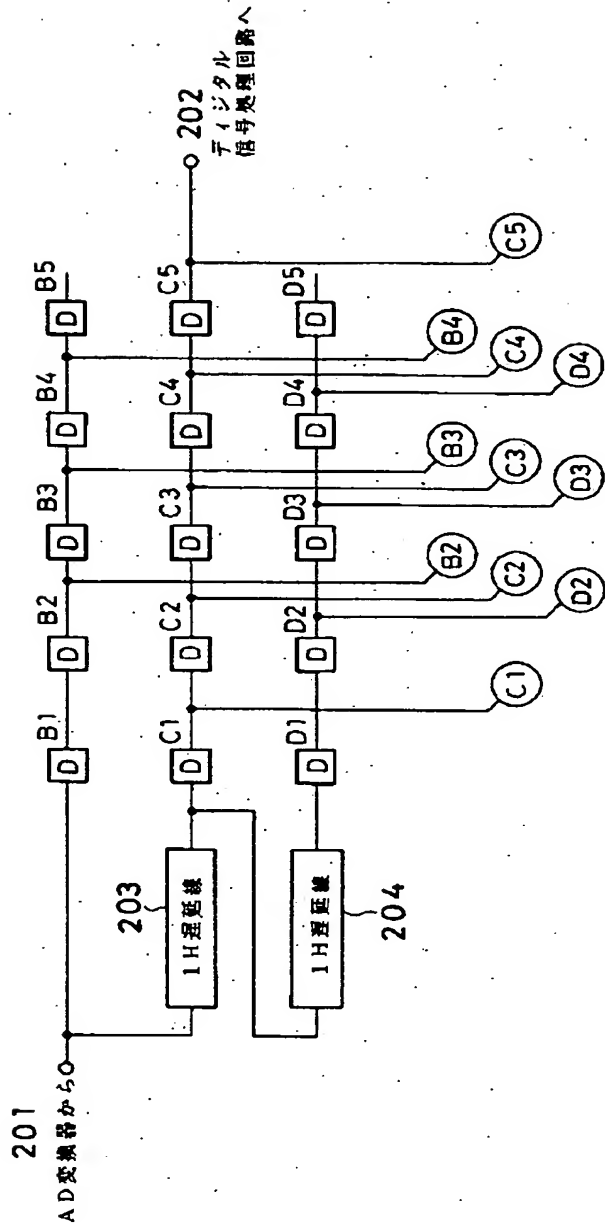
(7)

【図1】



本発明の一実施例

【図2】

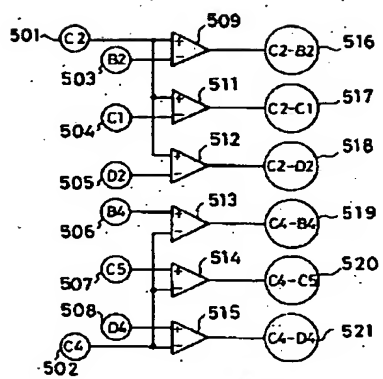




(9)

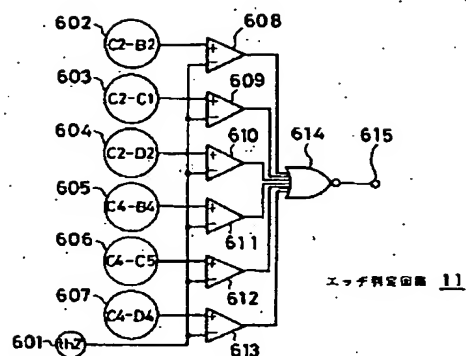
特開平7-23297

【図5】



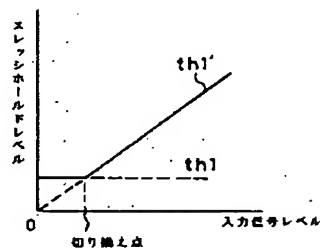
エッジ検出回路 9

【図6】



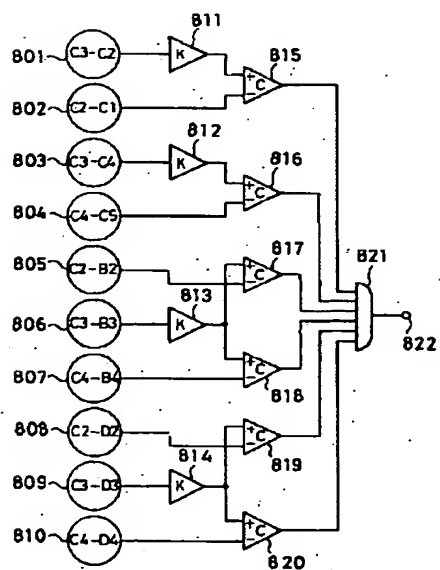
エッジ検出回路 11

【図12】



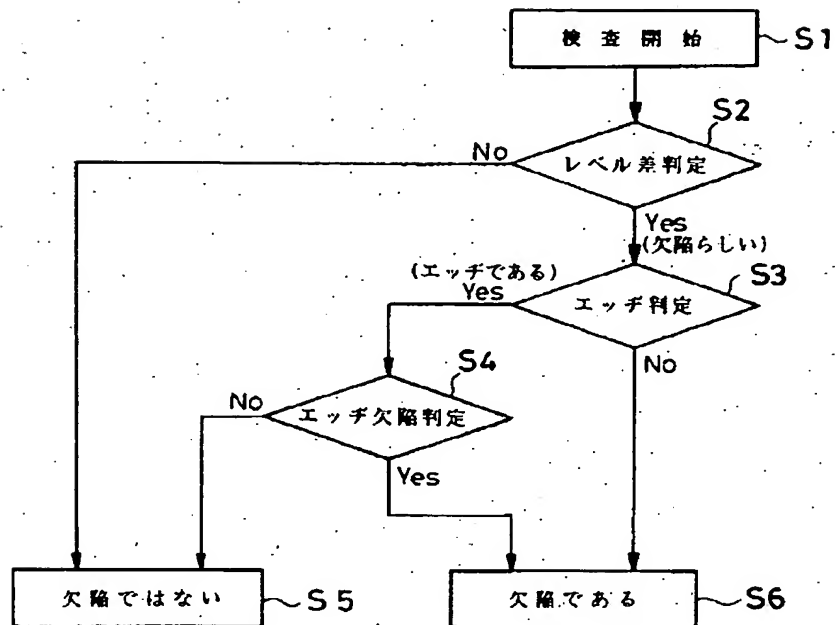
スレッシュホルド設定出力特性

【図8】



エッジ検出回路 12

【図10】



欠陥検出のメインアルゴリズム